



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001034949 A**(43) Date of publication of application: **09.02.01**

(51) Int. Cl.

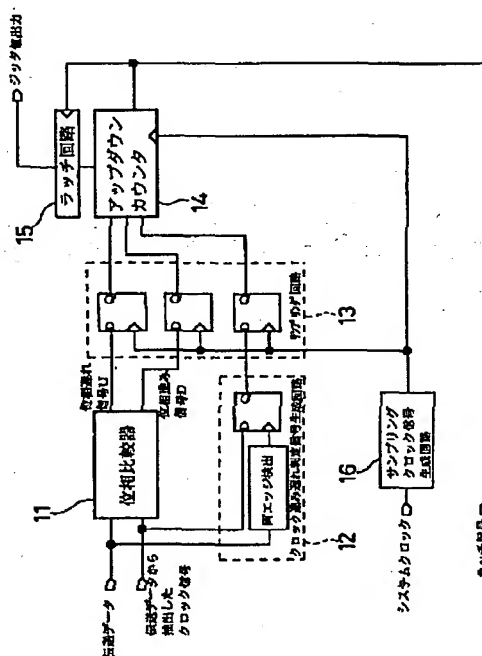
G11B 7/005**G01R 25/00****G01R 29/02****G11B 20/10**(21) Application number: **11208314**(22) Date of filing: **23.07.99**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **MIYAMOTO TAKESHI
MASUKO YASUNAO**(54) **JITTER DETECTION CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a circuit for detecting the jitter which can be composed of only binary digital processing circuits adapted to digital signals, reduces the entire circuit scale and the power consumption and raises the detection accuracy.

SOLUTION: A phase comparator 11 detects the phase differences of delayed or advanced clock data extracted from transmission data, relative to the transmission data, a sampling circuit 13 samples the detected phase differences with a separate clock signal independent of a transmission data extraction clock generated from a system clock by a sampling clock signal generator circuit 16, an up-down counter 14 counts them, and a latch circuit 15 integrates them so that the detecting operation of the jitter of the transmission data extraction clock for the transmission data, based on the integrated value, can be realized by only a digital process handling binary signals.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J.P.) (12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-34949

(P2001-34949A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.⁷ 識別記号

G11B 7/005

G01R 25/00

29/02

G11B 20/10

F I

G11B 7/005

G01R 25/00

29/02

G11B 20/10

テ-マ-ト (参考)

Z 26030

5D044

L 5D090

321 E

審査請求 未請求 請求項の数 4 O L (全13頁)

(21)出願番号 特願平11-208314

(22)出願日 平成11年7月23日(1999.7.23)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 官本 武司

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 益子 泰尚

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 100068087

弁理士 森本 義弘

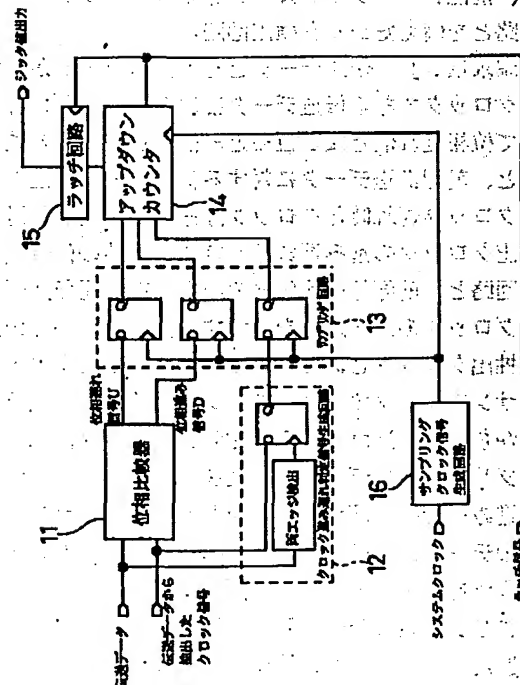
最終頁に続く

(54)【発明の名称】 ジッタ検出回路

(57)【要約】

【課題】ジッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしつつ低消費電力化するとともに、検出精度を向上することができるジッタ検出回路を提供する。

【解決手段】 伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、位相比較器11により検出し、その位相差を、サンプリング回路13により、システムクロックからサンプリングクロック信号生成回路16で生成され伝送データ抽出クロックとは無関係な別のクロック信号でサンプリングして、アップダウンカウンタ14によりカウントしさらにラッチ回路15で積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現する。



【特許請求の範囲】

【請求項1】 伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+1$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 -2 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 -1 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えたジッタ検出回路。

【請求項2】 伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がL

の時はカウント値 $+1$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 -2 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 -1 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えたジッタ検出回路。

【請求項3】 伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、Tを実数で任意の値として、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+T$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 $-2T$ 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 $-T$ 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2T$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えたジッタ検出回路。

【請求項4】 伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定したクロック信号でサンプリングするサンプリング回路と、前記位相比較

器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、Tを実数で任意の値として、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+T$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 $-2T$ 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 $-T$ 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2T$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えたジッタ検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光ディスク装置等からの伝送データとその伝送データからの抽出クロック間にあるジッタを検出するジッタ検出回路に関するものである。

【0002】

【従来の技術】近年、音楽等の音響データやパソコンによるプログラム実行のためのデータなど各種データの記録媒体であるCDやMDあるいはDVD等の光ディスクが、コンパクトで大容量という特徴を生かして、広く利用されるようになり、これらの光ディスクから記録データを再生するための光ディスク装置が市場に多く出回っている。

【0003】このような光ディスク装置等においては、ディスクから再生された伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとに対して、伝送データに対する伝送データ抽出クロックのジッタを検出するジッタ検出回路が設けられている。以上のような従来のジッタ検出回路について、図面を参照しながら以下に説明する。

【0004】図9は従来のジッタ検出回路の構成を示すブロック図である。図9において、1は伝送データとその伝送データから抽出したクロック（以下、伝送データ抽出クロックと略称する）との位相差を出力する位相比較器、2は伝送データと伝送データ抽出クロック間での伝送データに対する伝送データ抽出クロックの進み遅れを判定する信号POLを生成するクロック進み遅れ判定信号生成回路、3はクロック進み遅れ判定信号生成回路2からの伝送データに対する伝送データ抽出クロックの進み遅れを判定する信号POLに対応して、位相比較器

1からの出力信号を制御する位相比較出力制御回路、4は位相比較出力制御回路3からのデジタル出力をアナログ形態の電圧値に変換するD/A変換回路、5はD/A変換回路4からの出力信号を増幅するための増幅回路である。

【0005】以上のように構成されたジッタ検出回路について、そのジッタ検出動作のフローを説明する。位相比較器1では、伝送データ及び伝送データ抽出クロックが入力され、伝送データと伝送データ抽出クロックとの位相差として、位相遅れ信号Uと位相進み信号Dとを出力する。クロック進み遅れ判定信号生成回路2では、伝送データの立ち上がり及び立ち下がりて伝送データ抽出クロックをサンプリングすることにより、伝送データに対して伝送データ抽出クロックが遅れている場合と進んでいる場合とで2値の制御信号POLを生成する。

【0006】位相比較出力制御回路3では、クロック進み遅れ判定信号生成回路2から出力される制御信号POLを使用して、位相比較器1の出力である位相遅れ信号Uと位相進み信号Dの出力を制御する。この場合、クロック進み遅れ方向を示す制御信号POLがクロック遅れ方向の場合には、位相遅れ信号UはD/A変換回路4のNchトランジスタ側を制御し、位相進み信号DはD/A変換回路4のPchトランジスタ側を制御する。また、クロック進み遅れ方向を示す制御信号POLがクロック進み方向の場合には、位相遅れ信号UはD/A変換回路4のPchトランジスタ側を制御し、位相進み信号DはD/A変換回路4のNchトランジスタ側を制御する。

【0007】D/A変換回路4では、位相比較出力制御回路3から出力した2値の位相比較出力信号を、Pchトランジスタ側およびNchトランジスタ側において、制御信号POLの制御によるスイッチングを行うことにより電流値として積分した後、LPFでスムージングを行い、ジッタ値として電圧出力する。そして、D/A変換回路4の出力を増幅回路5で増幅することでジッタ検出回路のジッタ値として出力することにより、伝送データと伝送データ抽出クロックと間に存在するジッタの検出を行う。

【0008】

【発明が解決しようとする課題】しかしながら上記のような従来のジッタ検出回路では、ジッタ値を増幅回路5からアナログの電圧値として出力しているため、そのジッタ値に基づいてさらにデジタル値で演算するには、再度、A/D変換しなければならない。また、ジッタ検出回路を抵抗及び容量で構成する必要がある、この回路を半導体で実現した場合には、回路面積が増大するとともに、この回路を構成する抵抗及び容量の精度を得ることが非常に困難であるという問題点を有していた。

【0009】さらに、上記のように、ジッタ検出回路の構成を抵抗や容量および半導体で実現した場合には、そ

れら抵抗や容量および半導体の個々の消費電力が増大し、装置全体の消費電力も多くなるという問題点をももっていた。本発明は、上記従来の問題点を解決するもので、伝送データに対する伝送データ抽出クロックのジッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしかつ低消費電力化するとともに、検出精度を向上することができるジッタ検出回路を提供する。

【0010】

【課題を解決するための手段】上記の課題を解決するために本発明のジッタ検出回路は、伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、伝送データ抽出クロックとは無関係な別のクロック信号でサンプリングしてカウントしさらに積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現することを特徴とする。

【0011】以上により、伝送データに対する伝送データ抽出クロックのジッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしかつ低消費電力化するとともに、検出精度を向上することができる。

【0012】

【発明の実施の形態】本発明の請求項1に記載のジッタ検出回路は、伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+1$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 -2 、POLがクロック進み判定、 α がL、

β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 -1 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えた構成とする。

【0013】請求項2に記載のジッタ検出回路は、伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+1$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 -2 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 -1 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えた構成とする。

【0014】請求項3に記載のジッタ検出回路は、伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位

相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、Tを実数で任意の値として、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+T$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 $-2T$ 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 $-T$ 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2T$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えた構成とする。

【0015】請求項4に記載のジッタ検出回路は、伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データに対する伝送データ抽出クロックのクロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定したクロック信号でサンプリングするサンプリング回路と、前記位相比較器からの位相遅れ信号の前記サンプリング回路によるサンプリング後のデータ α 、及び前記位相比較器からの位相進み信号の前記サンプリング回路によるサンプリング後のデータ β 、そして前記伝送データ抽出クロックの進み遅れを判定する信号の前記サンプリング回路によるサンプリング後のデータPOLについて、Tを実数で任意の値として、POLがクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 $+T$ 、POLがクロック遅れ判定、 α がH、 β がHの時はカウント値 $-2T$ 、POLがクロック進み判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック進み判定、 α がL、 β がHの時はカウント値 ± 0 、POLがクロック進み判定、 α がH、 β がLの時はカウント値 $-T$ 、POLがクロック進み判定、 α がH、 β がHの時はカウント値 $+2T$ の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えた構成とする。

【0016】以上の構成によると、伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、伝

送データ抽出クロックとは無関係な別のクロック信号でサンプリングしてカウントしさらに積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現する。

【0017】以下、本発明の実施の形態を示すジッタ検出回路について、図面を参照しながら具体的に説明する。

(実施の形態1) 本発明の実施の形態1のジッタ検出回路を説明する。図1は本実施の形態1のジッタ検出回路の構成を示すブロック図である。図1において、11は伝送データと伝送データ抽出クロックの位相差として位相遅れ信号U及び位相進み信号Dを出力する位相比較器、12は伝送データと伝送データから抽出したクロックについて、クロック遅れ時とクロック進み時とでクロックの進み遅れを判定するための2値の信号を生成するクロック進み遅れ判定信号生成回路、13は位相比較器11からの出力及びクロック進み遅れ判定信号生成回路12からの信号を、伝送データ抽出クロックとは無関係で独立し、安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号により、サンプリングするサンプリング回路、14はサンプリング回路13によるサンプリング後のデータをカウントするアップダウンカウンタ、15はアップダウンカウンタ14の値をラッチするラッチ回路、16は上記のシステムクロックからサンプリング回路13によるサンプリングの際のタイミング発生用のサンプリングクロック信号を生成するサンプリングクロック信号生成回路である。

【0018】図2は本実施の形態1における動作を説明するための各部の信号波形図である。図2において、21はディスクからの伝送データ、22は伝送データから抽出したクロックである伝送データ抽出クロック、23は位相比較器11の出力である位相遅れ信号U、24は位相比較器11の出力である位相進み信号D、25は位相遅れ信号U 23と位相進み信号D 24そしてクロック進み遅れ判定信号生成回路12で生成された伝送データ抽出クロックの進み遅れ判定信号をサンプリングするためのサンプリングクロック信号、26は位相遅れ信号U 23をサンプリング回路13でサンプリングした後のデータ α 、27は位相進み信号D 24をサンプリング回路13でサンプリングした後のデータ β 、28はクロック進み遅れ判定信号生成回路12で生成された伝送データ抽出クロック進み遅れ判定信号をサンプリング回路13でサンプリングした後のデータPOL、29はアップダウンカウンタ14のカウント値の増減である。

【0019】以上のように構成された実施の形態1のジッタ検出回路について、その動作を以下に説明する。位相比較器11は、図2に示すように、伝送データ21及び伝送データ抽出クロック22に対し、その位相差とし

て、位相遅れ信号U 2 3および位相進み信号D 2 4を、信号の幅として出力する。

【0020】クロック進み遅れ判定信号生成回路1 2は、伝送データ2 1の立ち上がりエッジ及び立ち下がりエッジ毎に伝送データ抽出クロック2 2をサンプリングすることにより、伝送データ抽出クロック2 2について、伝送データ2 1に対してクロック遅れ時とクロック進み時とでクロックの進み遅れを判定する2値の信号を生成する。

【0021】サンプリング回路1 3は、伝送データ抽出クロック2 2とは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号を、サンプリングクロック信号2 5に用いる。このサンプリングクロック信号2 5で位相遅れ信号U 2 3と位相進み信号D 2 4そしてクロック進み遅れ判定信号生成回路1 2で生成されるクロックの進み遅れ判定信号をサンプリングし、各々、位相遅れ信号U 2 3をサンプリングした後のデータ α 2 6、位相進み信号D 2 4をサンプリングした後のデータ β 2 7、クロック進み遅れ判定信号生成回路1 2で生成されたクロックの進み遅れを判定する信号をサンプリングした後のデータPOL 2 8を出力する。

【0022】アップダウンカウンタ1 4は、データ α 2 6及びデータ β 2 7そしてデータPOL 2 8の各条件に応じて、L=ローレベル、H=ハイレベルとして、以下のカウント動作を行う。POL “クロック遅れ判定”， α “L”， β “L”の時はカウント値 ± 0 、POL “クロック遅れ判定”， α “L”， β “H”の時はカウント値 ± 0 、POL “クロック遅れ判定”， α “H”， β “L”の時はカウント値 $+1$ 、POL “クロック遅れ判定”， α “H”， β “H”の時はカウント値 -2 、POL “クロック進み判定”， α “L”， β “L”の時はカウント値 ± 0 、POL “クロック進み判定”， α “L”， β “H”の時はカウント値 ± 0 、POL “クロック進み判定”， α “H”， β “L”の時はカウント値 -1 、POL “クロック進み判定”， α “H”， β “H”の時はカウント値 $+2$ 。

【0023】ラッチ回路1 5は、アップダウンカウンタ1 4でカウントされた値を取り込みデジタル形態のジッタ値として出力する。以上のように実施の形態1によれば、位相比較器の位相遅れ信号Uそして位相進み信号D及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンプリングし、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

【0024】また、サンプリング信号については、本ジ

ッタ検出回路を含んだシステムのシステムクロックを使用することで実現可能になるため、新たにサンプリング信号用にクロックを生成する必要がない。

(実施の形態2) 本発明の実施の形態2のジッタ検出回路を説明する。

【0025】図3は本実施の形態2のジッタ検出回路の構成を示すブロック図である。図3において、3 1は伝送データと伝送データ抽出クロックの位相差として位相遅れ信号U及び位相進み信号Dを出力する位相比較器、3 2は伝送データと伝送データから抽出したクロックについて、クロック遅れ時とクロック進み時とでクロックの進み遅れを判定するための2値の信号を生成するクロック進み遅れ判定信号生成回路、3 3は位相比較器3 1からの出力及びクロック進み遅れ判定信号生成回路3 2からの信号を、伝送データ抽出クロックとは無関係に独立して入力される安定したクロック信号でサンプリングするサンプリング回路、3 4はサンプリング回路3 3によるサンプリング後のデータをカウントするアップダウンカウンタ、3 5はアップダウンカウンタ3 4の値をラッチするラッチ回路である。

【0026】図4は本実施の形態2における動作を説明するための各部の信号波形図である。図4において、4 1はディスクからの伝送データ、4 2は伝送データから抽出したクロックである伝送データ抽出クロック、4 3は位相比較器3 1の出力である位相遅れ信号U、4 4は位相比較器3 1の出力である位相進み信号D、4 5は位相遅れ信号U 4 3と位相進み信号D 4 4そしてクロック進み遅れ判定信号生成回路3 2で生成された伝送データ抽出クロックの進み遅れ判定信号をサンプリングするためのサンプリングクロック信号、4 6は位相遅れ信号U 4 3をサンプリング回路3 3でサンプリングした後のデータ α 、4 7は位相進み信号D 4 4をサンプリング回路3 3でサンプリングした後のデータ β 、4 8はクロック進み遅れ判定信号生成回路3 2で生成された伝送データ抽出クロック進み遅れ判定信号をサンプリング回路3 3でサンプリングした後のデータPOL、4 9はアップダウンカウンタ3 4のカウント値の増減である。

【0027】以上のように構成された実施の形態2のジッタ検出回路について、その動作を以下に説明する。位相比較器3 1は、図4に示すように、伝送データ4 1及び伝送データ抽出クロック4 2に対し、その位相差として、位相遅れ信号U 4 3および位相進み信号D 4 4を、信号の幅として出力する。

【0028】クロック進み遅れ判定信号生成回路3 2は、伝送データ4 1の立ち上がりエッジ及び立ち下がりエッジ毎に伝送データ抽出クロック4 2をサンプリングすることにより、伝送データ抽出クロック4 2について、伝送データ4 1に対してクロック遅れ時とクロック進み時とでクロックの進み遅れを判定する2値の信号を生成する。サンプリング回路3 3は、伝送データ抽出ク

ロック42とは無関係で別の安定したサンプリングクロック信号45を、サンプリング信号として用いる。このサンプリングクロック信号45で位相遅れ信号U43と位相進み信号D44そしてクロック進み遅れ判定信号生成回路32で生成されるクロックの進み遅れ判定信号をサンプリングし、各々、位相遅れ信号U43をサンプリングした後のデータ α 46、位相進み信号D44をサンプリングした後のデータ β 47、クロック進み遅れ判定信号生成回路32で生成されたクロックの進み遅れを判定する信号をサンプリングした後のデータPOL48を出力する。

【0029】アップダウンカウンタ34は、データ α 46及びデータ β 47そしてデータPOL48の各条件に応じて、L=ローレベル、H=ハイレベルとして、以下のカウント動作を行う。POL“クロック遅れ判定”、 α “L”、 β “L”の時はカウント値±0、POL“クロック遅れ判定”、 α “L”、 β “H”の時はカウント値±0、POL“クロック遅れ判定”、 α “H”、 β “L”の時はカウント値+1、POL“クロック遅れ判定”、 α “H”、 β “H”の時はカウント値-2、POL“クロック進み判定”、 α “L”、 β “L”の時はカウント値±0、POL“クロック進み判定”、 α “L”、 β “H”の時はカウント値±0、POL“クロック進み判定”、 α “H”、 β “L”の時はカウント値-1、POL“クロック進み判定”、 α “H”、 β “H”の時はカウント値+2。

【0030】ラッチ回路35は、アップダウンカウンタ34でカウントされた値を取り込みデジタル形態のジッタ値として出力する。以上のように実施の形態2によれば、位相比較器の位相遅れ信号Uそして位相進み信号D及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンプリングし、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

(実施の形態3) 本発明の実施の形態3のジッタ検出回路を説明する。

【0031】図5は本実施の形態3のジッタ検出回路の構成を示すブロック図である。図5において、51は伝送データと伝送データ抽出クロックの位相差として位相遅れ信号U及び位相進み信号Dを出力する位相比較器、52は伝送データと伝送データから抽出したクロックについて、クロック遅れ時とクロック進み時とでクロックの進み遅れを判定するための2値の信号を生成するクロック進み遅れ判定信号生成回路、53は位相比較器51からの出力及びクロック進み遅れ判定信号生成回路52からの信号を、伝送データ抽出クロックとは無関係で

立し、安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号により、サンプリングするサンプリング回路、54はサンプリング回路53によるサンプリング後のデータをカウントするアップダウンカウンタ、55はアップダウンカウンタ54の値をラッチするラッチ回路、56は上記のシステムクロックからサンプリング回路53によるサンプリングの際のタイミング発生用のサンプリングクロック信号を生成するサンプリングクロック信号生成回路である。

【0032】図6は本実施の形態3における動作を説明するための各部の信号波形図である。図6において、61はディスクからの伝送データ、62は伝送データから抽出したクロックである伝送データ抽出クロック、63は位相比較器51の出力である位相遅れ信号U、64は位相比較器51の出力である位相進み信号D、65は位相遅れ信号U63と位相進み信号D64そしてクロック進み遅れ判定信号生成回路52で生成された伝送データ抽出クロックの進み遅れ判定信号をサンプリングするためのサンプリングクロック信号、66は位相遅れ信号U63をサンプリング回路53でサンプリングした後のデータ α 、67は位相進み信号D64をサンプリング回路53でサンプリングした後のデータ β 、68はクロック進み遅れ判定信号生成回路52で生成された伝送データ抽出クロック進み遅れ判定信号をサンプリング回路53でサンプリングした後のデータPOL、69はアップダウンカウンタ54のカウント値の増減である。

【0033】以上のように構成された実施の形態3のジッタ検出回路について、その動作を以下に説明する。位相比較器51は、図6に示すように、伝送データ61及び伝送データ抽出クロック62に対し、その位相差として、位相遅れ信号U63および位相進み信号D64を、信号の幅として出力する。

【0034】クロック進み遅れ判定信号生成回路52は、伝送データ61の立ち上がりエッジ及び立ち下がりエッジ毎に伝送データ抽出クロック62をサンプリングすることにより、伝送データ抽出クロック62について、伝送データ61に対してクロック遅れ時とクロック進み時とでクロックの進み遅れを判定する2値の信号を生成する。

【0035】サンプリング回路53は、伝送データ抽出クロック62とは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号を、サンプリングクロック信号65に用いる。このサンプリングクロック信号65で位相遅れ信号U63と位相進み信号D64そしてクロック進み遅れ判定信号生成回路52で生成されるクロックの進み遅れ判定信号をサンプリングし、各々、位相遅れ信号U63をサンプリングした後のデータ α 66、位相進み信号D64をサンプリングした後のデータ

β 67、クロック進み遅れ判定信号生成回路 52 で生成されたクロックの進み遅れを判定する信号をサンプリングした後のデータ POL 68 を出力する。

【0036】アップダウンカウンタ 54 は、データ α 66 及びデータ β 67 そしてデータ POL 68 の各条件に応じて、T を実数で任意の係数値とし、かつ L = ローレベル、H = ハイレベルとして、以下のカウント動作を行う。POL “クロック遅れ判定”， α “L”， β “L” の時はカウント値 ± 0 、POL “クロック遅れ判定”， α “L”， β “H” の時はカウント値 ± 0 、POL “クロック遅れ判定”， α “H”， β “L” の時はカウント値 $+T$ 、POL “クロック遅れ判定”， α “H”， β “H” の時はカウント値 $-2T$ 、POL “クロック進み判定”， α “L”， β “L” の時はカウント値 ± 0 、POL “クロック進み判定”， α “L”， β “H” の時はカウント値 ± 0 、POL “クロック進み判定”， α “H”， β “L” の時はカウント値 $-T$ 、POL “クロック進み判定”， α “H”， β “H” の時はカウント値 $+2T$ 。

【0037】以上のように実施の形態 3 によれば、位相比較器の位相遅れ信号 U そして位相進み信号 D 及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンプリング、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

【0038】また、サンプリング信号については、本ジッタ検出回路を含んだシステムのシステムクロックを使用することで実現可能になるため、新たにサンプリング信号用にクロックを生成する必要がない。さらにまた、通常、検出したジッタ値は微小な値になることが多く、そのままのジッタ値を使用してサーボの調整等を行う場合には、そのための演算が行いずらくなるが、上記のように、T 倍することで、微小なジッタ値を増幅し、演算を行いやすくすることができる。

(実施の形態 4) 本発明の実施の形態 4 のジッタ検出回路を説明する。

【0039】図 7 は本実施の形態 4 のジッタ検出回路の構成を示すブロック図である。図 7 において、7-1 は伝送データと伝送データ抽出クロックの位相差として位相遅れ信号 U 及び位相進み信号 D を出力する位相比較器、7-2 は伝送データと伝送データから抽出したクロックについて、クロック遅れ時とクロック進み時とでクロックの進み遅れを判定するための 2 値の信号を生成するクロック進み遅れ判定信号生成回路、7-3 は位相比較器 7-1 からの出力及びクロック進み遅れ判定信号生成回路 7-2 からの信号を、伝送データ抽出クロックとは無関係に独

立して入力される安定したクロック信号でサンプリングするサンプリング回路、7-4 はサンプリング回路 7-3 によるサンプリング後のデータをカウントするアップダウンカウンタ、7-5 はアップダウンカウンタ 7-4 の値をラッチするラッチ回路である。

【0040】図 8 は本実施の形態 4 における動作を説明するための各部の信号波形図である。図 8 において、8-1 はディスクからの伝送データ、8-2 は伝送データから抽出したクロックである伝送データ抽出クロック、8-3 は位相比較器 7-1 の出力である位相遅れ信号 U、8-4 は位相比較器 7-1 の出力である位相進み信号 D、8-5 は位相遅れ信号 U 8-3 と位相進み信号 D 8-4 そしてクロック進み遅れ判定信号生成回路 7-2 で生成された伝送データ抽出クロックの進み遅れ判定信号をサンプリングするためのサンプリングクロック信号、8-6 は位相遅れ信号 U 8-3 をサンプリング回路 7-3 でサンプリングした後のデータ α 、8-7 は位相進み信号 D 8-4 をサンプリング回路 7-3 でサンプリングした後のデータ β 、8-8 はクロック進み遅れ判定信号生成回路 7-2 で生成された伝送データ抽出クロック進み遅れ判定信号をサンプリング回路 7-3 でサンプリングした後のデータ POL、8-9 はアップダウンカウンタ 7-4 のカウント値の増減である。

【0041】以上のように構成された実施の形態 4 のジッタ検出回路について、その動作を以下に説明する。位相比較器 7-1 は、図 8 に示すように、伝送データ 8-1 及び伝送データ抽出クロック 8-2 に対し、その位相差として、位相遅れ信号 U 8-3 および位相進み信号 D 8-4 を、信号の幅として出力する。

【0042】クロック進み遅れ判定信号生成回路 7-2 は、伝送データ 8-1 の立ち上がりエッジ及び立ち下がりエッジ毎に伝送データ抽出クロック 8-2 をサンプリングすることにより、伝送データ抽出クロック 8-2 について、伝送データ 8-1 に対してクロック遅れ時とクロック進み時とでクロックの進み遅れを判定する 2 値の信号を生成する。

【0043】サンプリング回路 7-3 は、伝送データ抽出クロック 8-2 とは無関係で別の安定したサンプリングクロック信号 8-5 を、サンプリング信号に用いる。このサンプリングクロック信号 8-5 で位相遅れ信号 U 8-3 と位相進み信号 D 8-4 そしてクロック進み遅れ判定信号生成回路 7-2 で生成されるクロックの進み遅れ判定信号をサンプリングし、各々、位相遅れ信号 U 8-3 をサンプリングした後のデータ α 8-6、位相進み信号 D 8-4 をサンプリングした後のデータ β 8-7、クロック進み遅れ判定信号生成回路 7-2 で生成されたクロックの進み遅れを判定する信号をサンプリングした後のデータ POL 8-8 を出力する。

【0044】アップダウンカウンタ 7-4 は、データ α 8-6 及びデータ β 8-7 そしてデータ POL 8-8 の各条件に応じて、T を実数で任意の係数値とし、かつ L = ローレ

ベル、H=ハイレベルとして、以下のカウント動作を行う。POL “クロック遅れ判定”, α “L”, β “L” の時はカウント値 ± 0 、POL “クロック遅れ判定”, α “L”, β “H” の時はカウント値 ± 0 、POL “クロック遅れ判定”, α “H”, β “L” の時はカウント値 $+T$ 、POL “クロック遅れ判定”, α “H”, β “H” の時はカウント値 $-2T$ 、POL “クロック進み判定”, α “L”, β “L” の時はカウント値 ± 0 、POL “クロック進み判定”, α “L”, β “H” の時はカウント値 ± 0 、POL “クロック進み判定”, α “H”, β “L” の時はカウント値 $-T$ 、POL “クロック進み判定”, α “H”, β “H” の時はカウント値 $+2T$ 。

【0045】ラッチ回路75は、アップダウンカウンタ74でカウントされた値を取り込みデジタル形態のジッタ値として出力する。以上のように実施の形態4によれば、位相比較器の位相遅れ信号Uそして位相進み信号D及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンプリング、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

【0046】さらにまた、通常、検出したジッタ値は微小な値になることが多く、そのままのジッタ値を使用してサーボの調整等を行う場合には、そのための演算が行いずらくなるが、上記のように、T倍することで、微小なジッタ値を増幅し、演算を行いやすくすることができる。

【0047】

【発明の効果】以上のように本発明によれば、伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、伝送データ抽出クロックとは無関係な別のクロック信号でサンプリングしてカウントしさらに積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現することができる。

【0048】そのため、伝送データに対する伝送データ抽出クロックのジッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしかつ低消費電力化するとともに、検出精度を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のジッタ検出回路の構成を示すブロック図

【図2】同実施の形態1における動作を説明するための各部の信号波形図

【図3】本発明の実施の形態2のジッタ検出回路の構成を示すブロック図

【図4】同実施の形態2における動作を説明するための各部の信号波形図

【図5】本発明の実施の形態3のジッタ検出回路の構成を示すブロック図

【図6】同実施の形態3における動作を説明するための各部の信号波形図

【図7】本発明の実施の形態4のジッタ検出回路の構成を示すブロック図

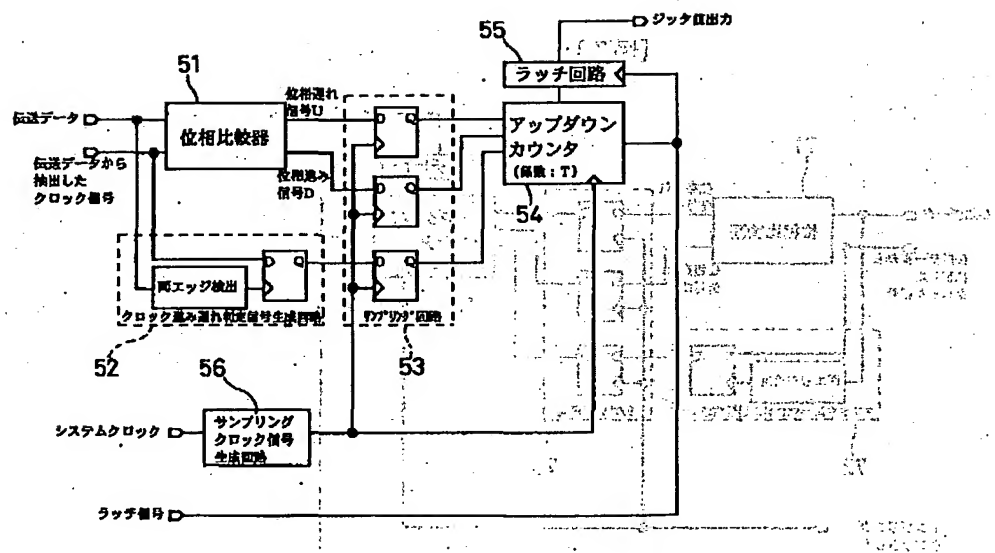
【図8】同実施の形態4における動作を説明するための各部の信号波形図

【図9】従来のジッタ検出回路の構成を示すブロック図

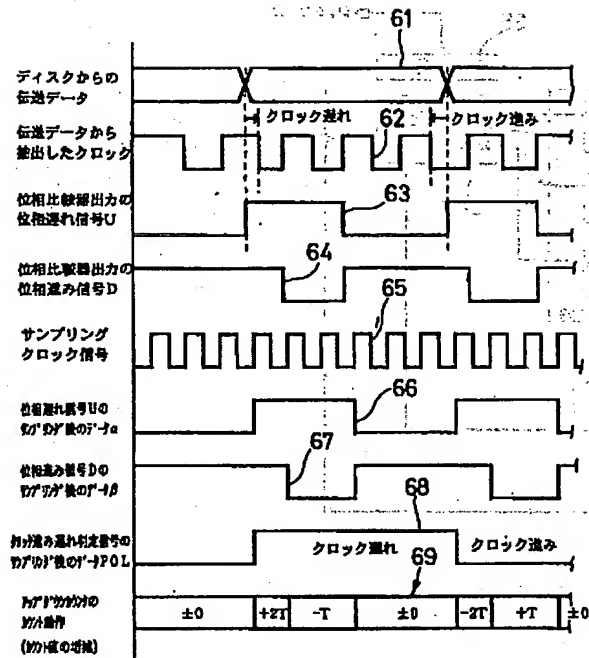
【符号の説明】

- | | |
|-------------------|---------------------------------|
| 1, 11, 31, 51, 71 | 位相比較器 |
| 2, 12, 32, 52, 72 | クロック進み遅れ判定信号生成回路 |
| 3 | 位相比較出力制御回路 |
| 4 | D/A変換回路 |
| 5 | 増幅回路 |
| 13, 33, 53, 73 | サンプリング回路 |
| 14, 34, 54, 74 | アップダウンカウンタ |
| 15, 35, 55, 75 | ラッチ回路 |
| 16, 56 | サンプリングクロック信号生成回路 |
| 21, 41, 61, 81 | ディスクからの伝送データ波形 |
| 22, 42, 62, 82 | 伝送データから抽出したクロック波形 |
| 23, 43, 63, 83 | 位相比較器出力の位相遅れ信号U波形 |
| 24, 44, 64, 84 | 位相比較器出力の位相進み信号D波形 |
| 25, 45, 65, 85 | サンプリングクロック信号波形 |
| 26, 46, 66, 86 | 位相遅れ信号Uのサンプリング後のデータ α 波形 |
| 27, 47, 67, 87 | 位相進み信号Dのサンプリング後のデータ β 波形 |
| 28, 48, 68, 88 | クロック進み遅れ判定信号のサンプリング後のデータPOL波形 |

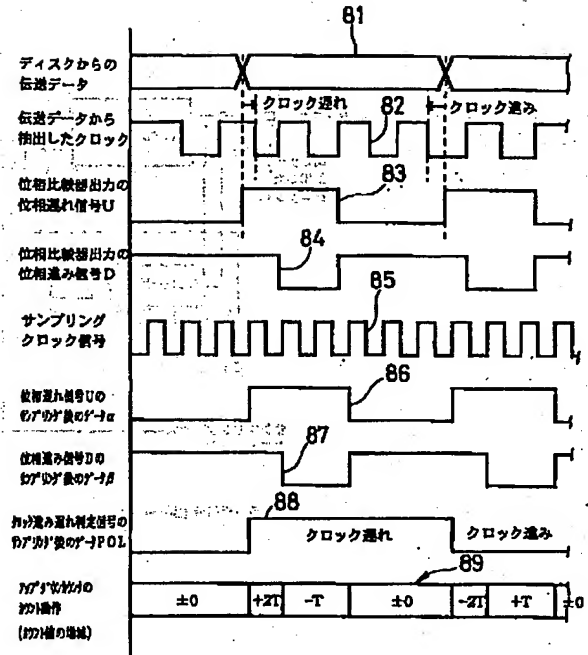
1921



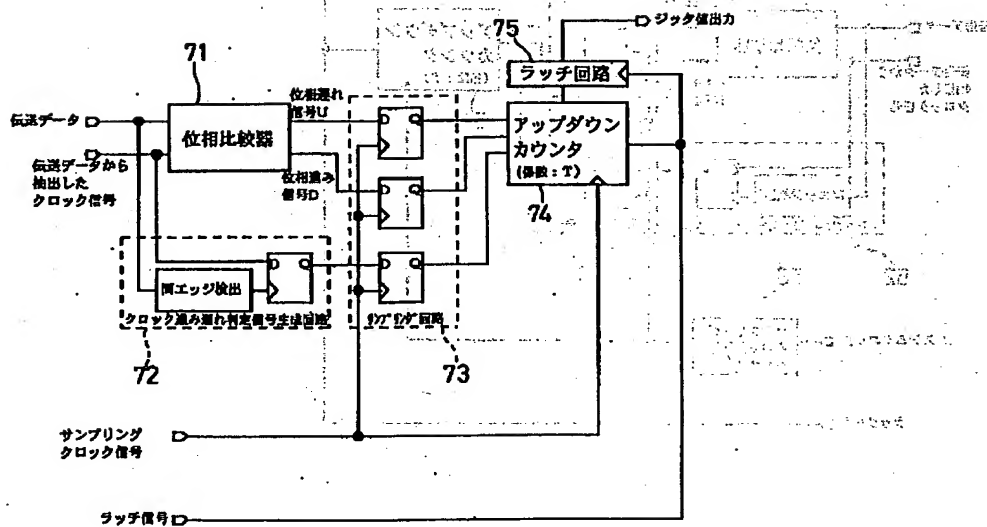
【図 6】



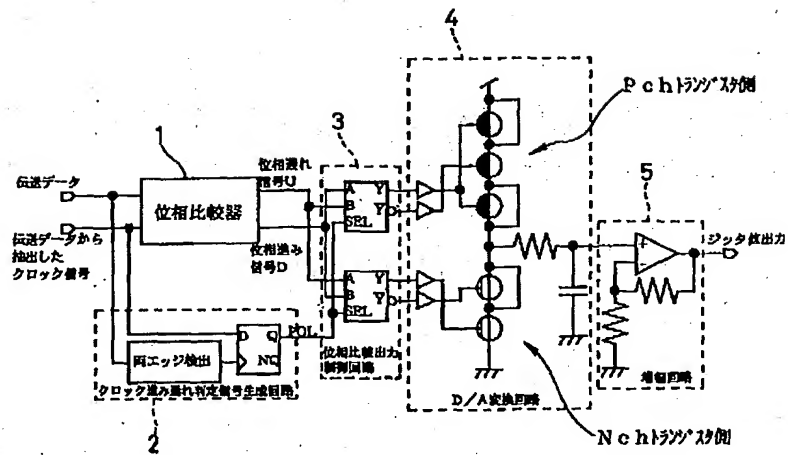
【図 8】



【图 7】



【図9】



フロントページの続き

Fターム(参考)

2G030	AA02	AB03	AD01	AF01	AG05
5D044	BC03	CC04	DE32	FG11	GK18
	GM26				
5D090	AA01	BB02	CC04	CC18	DD03
	DD05	FF07	JJ01		

